

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC872 U.S. PTO
09/864200
05/25/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2000年 5月30日

出願番号
Application Number: 特願2000-160917

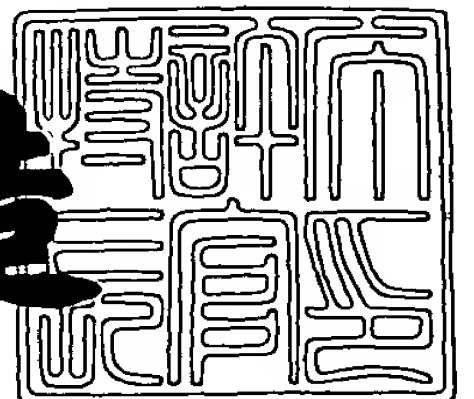
出願人
Applicant(s): 株式会社日立製作所

U.S. Appln. Filed 5-25-01
Inventor: K. Watanabe et al
Mathingly stanger + motor
Docket ASA-1006

2001年 4月13日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3029533

【書類名】 特許願

【整理番号】 H00006551

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/00

【発明者】

 【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

 【氏名】 渡邊 圭紀

【発明者】

 【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

 【氏名】 上野 聡

【発明者】

 【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

 【氏名】 原田 卓

【発明者】

 【住所又は居所】 神奈川県横浜市戸塚区戸塚町 2 1 6 番地 株式会社日立製作所 通信システム事業本部内

 【氏名】 高井 厚志

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

 【氏名】 武鎗 良治

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社 日立製作所

【代理人】

 【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【電話番号】 03-3269-1430

【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック生成回路および通信用半導体集積回路

【特許請求の範囲】

【請求項 1】 入力クロックに基づいて入力データを取り込むバッファ回路を有する通信用半導体集積回路において、入力クロックまたは外部クロックのいずれかを基準クロックとして動作する P L L 回路と、該 P L L 回路の発振出力を分周して上記バッファ回路のデータ読出し用クロックを生成する読出しクロック生成回路と、外部からの選択信号に基づいて上記入力クロックまたは外部クロックのいずれかを選択して上記 P L L 回路に供給するクロック切換え手段とが設けられてなることを特徴とするクロック生成回路。

【請求項 2】 上記入力クロックに基づいて上記バッファに入力データを取り込ませるための書込み用クロックを生成する書込みクロック生成回路を備え、該書込み用クロック生成回路は、上記 P L L 回路が上記安定した外部クロックに基づいて動作している場合には外部からの制御信号および上記読出しクロック生成回路で生成されたクロックもしくはその元になるクロックに基づいて書込み用クロックの生成を開始するように構成されていることを特徴とする請求項 1 に記載のクロック生成回路。

【請求項 3】 上記読出しクロック生成回路で生成されたクロックと上記書込みクロック生成回路で生成されたクロックを比較して位相差が所定以上になったことを示す検出信号を出力する検出回路を備えていることを特徴とする請求項 2 に記載のクロック生成回路。

【請求項 4】 上記 P L L 回路は、外付け素子が接続されることで回路本来の動作を行ない上記入力クロックまたは外部クロックに基づいて動作する第 1 の P L L 回路と、外付け素子を含まず前記第 1 の P L L 回路の出力を基準クロックとして動作する第 2 の P L L 回路とにより構成されていることを特徴とする請求項 1、2 または 3 に記載のクロック生成回路。

【請求項 5】 請求項 1、2、3 または 4 に記載のクロック生成回路と、該クロック生成回路からのクロック信号に基づいて複数のチャネルのシリアルデータを取り込んで出力するバッファ回路と、該バッファ回路に取り込まれた複数の

チャンネルのシリアルデータを多重化して出力する多重化回路とを備えていることを特徴とする通信用半導体集積回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、PLL（フェーズ・ロックド・ループ）回路を用いたクロック生成回路に適用して有効な技術に関し、例えばシリアルデータを取り込むためのクロック信号を生成するクロック生成回路を内蔵した通信用LSI（大規模半導体集積回路）に利用して有効な技術に関する。

【 0 0 0 2 】

【従来の技術】

近年、データ通信用LSIにおいては、入力シリアルデータからタイミングクロックを抽出したり、入力クロックに基づいて入力シリアルデータを取り込むための位相の安定したクロック信号を生成したりするのにPLL回路が用いられている。

【 0 0 0 3 】

従来、シリアルデータと共にデータ取込み用のクロック入力シリアルデータが送られて来るシステムでは、データを一旦入力バッファに取り込んでから出力する場合、データの読出しタイミングを与えるクロックを生成するのに、図8に示すように、入力クロック ϕ_{in} を基準クロックとしその位相と帰還クロック ϕ_f の位相とを比較して両クロックの位相が一致するようなクロックを生成するPLL回路が使用されていた。このような方式のPLL回路は、入力されるシリアルデータと共に送られて来るデータ取込み用のクロックの位相が比較的安定している場合には特に問題はない。

【 0 0 0 4 】

なお、図8において、VCOは電圧制御型の発振器、PHCは外部基準クロック ϕ_0 と帰還クロック ϕ_f の位相差を検出する位相比較器、LPFは位相差に応じた電圧を発生して電圧制御発振器VCOに供給するループフィルタ、DVDはVCOの発振出力を分周する分周器、IBFは入力クロック ϕ_{in} に基づいて入

カシリアルデータ D_{in} を取込み分周器 DVD からのクロック CLK に基づいてデータを出力する $FIFO$ (ファーストイン・ファーストアウト) メモリのような入力バッファ回路、 DSP はパラレル-シリアル変換等の信号処理を行なう信号処理回路である。

【 0 0 0 5 】

【発明が解決しようとする課題】

本発明者らは、新たに光通信用 LSI を開発するに当たり上記方式の PLL 回路について検討を行なったところ、当該通信用 LSI が使用されるユーザーシステムの構成によっては、データ取込み用の入力クロックの位相が安定していない場合がある。すなわち、データ取込み用の入力クロックは、データと同時に入力され周波数情報を持つが、データとの位相関係は保証されていない。そこで、図 9 に示すように、入力クロック ϕ_{in} 以外の周波数および位相が安定したクロック ϕ_0 を入力してそれを基準クロックとし帰還クロック ϕ_f の位相と比較して両クロックの位相が一致するようなクロック CLK を生成する PLL 回路について検討した。

【 0 0 0 6 】

しかしながら、かかる方式では、入力クロック ϕ_{in} の位相が外部基準クロック ϕ_0 から生成したクロック CLK の位相と大きくずれてしまうことがあり、それによってデータの正確な受渡しが行なえないおそれが生じる。また、当該通信用 LSI が使用されるユーザーシステムの構成によっては、データ取込み用の入力クロック ϕ_{in} の位相が安定している場合があり、その場合には入力クロック ϕ_{in} に基づいて読出し用のクロック CLK を生成することでそのような問題を回避することができる。しかし、それぞれのシステムに対応してクロック生成回路の形式が異なる別個の LSI を設計したのでは、チップコストが必要以上に高くなってしまうという問題点がある。

【 0 0 0 7 】

この発明の目的は、入力クロックに基づいて入力データを取り込んで出力するバッファを有する通信用半導体集積回路において、入力クロックの位相が安定していない場合においても正確なデータの受渡しを可能にするクロックを生成可能

なクロック生成回路を提供することにある。

【 0 0 0 8 】

この発明の他の目的は、入力データと共に入力されるクロックとそれとは別個の外部クロックのいずれのクロックを基準クロックとする場合にも対応可能なクロック生成回路を提供することにある。

【 0 0 0 9 】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 0 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【 0 0 1 1 】

すなわち、入力クロックに基づいて入力データを取り込むバッファ回路を有する通信用半導体集積回路において、入力クロックまたは位相の安定した外部クロックのいずれかを基準クロックとして動作するPLL回路と、該PLL回路の発振出力を分周して上記バッファ回路のデータ読出し用クロックを生成する読出しクロック生成回路と、外部からの選択信号に基づいて上記入力クロックまたは外部クロックのいずれかを選択して上記PLL回路に供給するクロック切換え手段とを設けるようにしたものである。

【 0 0 1 2 】

上記した手段によれば、入力クロックの位相が安定しているシステムでは入力クロックに基づいて読出しクロックを生成し、入力クロックの位相が安定していないシステムでは安定した外部クロックに基づいて読出しクロックを生成することができ、これによって、入力クロックの位相が安定している場合は勿論のこと、入力クロックの位相が安定していない場合においても正確なデータの受渡しが可能となる。また、当該通信用LSIが使用されるユーザーシステムの構成によって入力クロックの位相が安定している場合と安定していない場合があったとしても、いずれのシステムに対しても1つのLSIで対応することができるように

なる。

【 0 0 1 3 】

また、望ましくは、上記入力クロックに基づいて上記バッファに入力データを取り込ませるための書込み用クロックを生成する書込みクロック生成回路を設け、該書込み用クロック生成回路は、上記PLL回路が上記外部クロックに基づいて動作している場合には外部からの制御信号および上記読出しクロック生成回路で生成されたクロックに基づいて書込み用クロックの生成を開始するように構成する。これによって、書込み用クロックと読出し用クロックの位相差が所定の範囲内に入ることとなり、正確なデータの受渡しが可能となる。

【 0 0 1 4 】

さらに、上記読出しクロック生成回路で生成されたクロックと上記書込みクロック生成回路で生成されたクロックを比較して位相差が所定以上になったことを示す検出信号を出力する検出回路を設ける。これによって、上記検出信号が検出されたときに上記制御信号を外部から与えることで書込み用クロックの再生成を行なわせることができ、その結果、入力クロックの位相が途中でずれてしまった場合にも正確なデータの受渡しが可能となる。

【 0 0 1 5 】

また、上記PLL回路は、外付け素子が接続されることで回路本来の動作を行ない上記入力クロックまたは外部クロックに基づいて動作する第1のPLL回路と、外付け素子を含まず前記第1のPLL回路の出力を基準クロックとして動作する第2のPLL回路とにより構成するとよい。半導体チップ上に形成される容量や抵抗はばらつき易いが、外付け素子を用いて第1のPLL回路を構成することによって、発生される発振信号の精度を高め、生成されるクロックの位相ずれを小さくすることができ、このクロックを用いて入力バッファにデータを取り込んで読み出すことでさらに正確なデータの受渡しが可能となる。

【 0 0 1 6 】

さらに、上記のように構成されたクロック生成回路と、該クロック生成回路からのクロック信号に基づいて複数のチャンネルのシリアルデータを取り込んで出力するバッファ回路と、該バッファ回路に取り込まれた複数のチャンネルのシリアル

データを多重化して出力する多重化回路とにより通信用半導体集積回路を構成する。これによって、誤動作の少ないデータ送信が可能となる。

【 0 0 1 7 】

【発明の実施の形態】

次に、本発明の実施例について図面を用いて説明する。

図 1 には、本発明に係るクロック生成回路とそれを用いたデータバッファの概略構成を示すものである。

【 0 0 1 8 】

図 1 に示されているように、本発明のクロック生成回路は、位相比較器 P H C とループフィルタ L P F と電圧制御発振器 V C O とからなる P L L 回路の前段にセレクタ S E L が設けられ、このセレクタ S E L により入力クロック ϕ_{in} と周波数および位相が安定した外部基準クロック ϕ_0 のいずれかを選択して位相比較器 P H C に供給するように構成されている。また、位相比較器 P H C には、電圧制御発振器 V C O の出力を分周する分周器 D V D からの信号が帰還クロック ϕ_f として供給されており、位相比較器 P H C は、入力クロック ϕ_{in} または外部基準クロック ϕ_0 の位相と帰還クロック ϕ_f の位相とを比較して位相差に応じた電圧を発生して電圧制御発振器 V C O に供給することにより、位相を一致させるように P L L 回路が動作する。この P L L 回路と分周器 D V D とによりクロック生成回路が構成される。

【 0 0 1 9 】

一方、上記入力クロック ϕ_{in} に同期して入力データを取り込むとともに上記分周器 D V D からのクロック C L K に同期してデータを出力する入力バッファ I B F が設けられているとともに、この入力バッファ I B F には A N D ゲート G 1 を介して外部からのリセット R S T 信号が入力可能に構成されており、入力バッファ I B F には A N D ゲート G 1 を介して外部からのリセット R S T 信号が入力されると、例えば入力クロック ϕ_{in} に同期した入力データの取込み動作を中断するように構成されている。入力バッファ I B F に取り込まれたデータは、分周器 D V D からのクロック C L K に同期して読み出されて次段の信号処理部 D S P に供給され、パラレルーシリアル変換等の信号処理が行なわれる。この信号処理

部 D S P も P L L 回路により生成されたクロックにより動作される。

【 0 0 2 0 】

さらに、上記 A N D ゲート G 1 には外部からのモード選択信号 M S が入力されており、このモード選択信号 M S がハイレベルのとき上記入力バッファ I B F には A N D ゲート G 1 を介して外部からのリセット R S T 信号が供給される。また、上記モード選択信号 M S は上記セクタ S E L にも切換え制御信号として供給されており、モード選択信号 M S がハイレベルのときセクタ S E L は外部基準クロック $\phi 0$ を位相比較器 P H C に供給し、モード選択信号 M S がロウレベルのときセクタ S E L は入力クロック $\phi i n$ を位相比較器 P H C に供給するように動作する。

【 0 0 2 1 】

入力クロック $\phi i n$ が基準側クロックとして位相比較器 P H C に供給されると、P L L 回路は帰還クロック ϕf の位相を入力クロック $\phi i n$ の位相に合わせるように動作するので、生成されるクロックすなわち分周器 D V D から出力されるクロック C L K の位相も入力クロック $\phi i n$ の位相と一致する。従って、入力クロック $\phi i n$ の位相が安定している場合には、P L L 回路の基準側クロックとして入力クロック $\phi i n$ を使用することで、入力バッファ I B F における正確な入力データの取込みと読出しが行なえる。

【 0 0 2 2 】

一方、外部基準クロック $\phi 0$ が位相比較器 P H C に供給されると、P L L 回路は帰還クロック ϕf の位相を外部基準クロック $\phi 0$ の位相に合わせるように動作するので、生成されるクロックすなわち分周器 D V D から出力されるクロック C L K の位相も外部基準クロック $\phi 0$ の位相と一致する。しかして、この場合にも入力バッファ I B F は入力クロック $\phi i n$ に同期して入力データを取り込む。そして、入力バッファ I B F からのデータの読出しは、分周器 D V D から出力されるクロック C L K に同期して行なわれる。従って、入力クロック $\phi i n$ の位相が不安定で、外部により安定したクロックがある場合には、P L L 回路の基準側クロックとして外部基準クロック $\phi 0$ を使用することで、入力バッファ I B F におけるデータの読出しは規則的に行なわれる。しかし、この場合には、外部基準ク

ロック $\phi 0$ と入力データとが非同期であるため、データ入力端子から信号処理回路への正確なデータの受渡しは保証されなくなる。

【 0 0 2 3 】

そこで、この実施例では、PLL回路の基準側クロックとして外部基準クロック $\phi 0$ を使用するモードにおいては、ANDゲートG1よりリセット信号RSTを入力バッファIBFに入力してリセットをかけるようにしている。入力バッファIBFはリセット信号RSTが入力されると、データの取込みを中断するように動作する。これによって、誤ったデータの受渡しが回避される。なお、リセット信号RSTの入力によりデータの取込みを中断する代わりに、以下の実施例で説明するように入力クロック ϕin の位相を分周器DVDからのクロックCLKの位相に同期させるように構成しても良い。

【 0 0 2 4 】

図2には、本発明を光通信用LSI（トランシーバ・チップ）のデータ送信回路に適用した場合の具体的な実施例を示す。この実施例のデータ送信回路は、各々転送レートが622Mb/sの16チャネルのデータ信号Din1～Din16を10GHzのデータ信号に多重化して送信する機能を有するもので、データ取込み用の入力クロック ϕin のジッタによる誤動作を防止するため、データ入力部にFIFO（ファーストイン・ファーストアウト）方式のバッファメモリ11を備えている。バッファメモリ11は、16本の各チャネルに対応してそれぞれ入力段と出力段の2段のフリップフロップFFi, FFoからなる4本（4ビット）のシフトレジスタSFT1～SFT4で構成され、各シフトレジスタは入力クロック ϕin の1周期分ずつずれて動作される。

【 0 0 2 5 】

特に制限されるものでないが、上記データ取込み用の入力クロック ϕin の周波数は622MHzであり、図示しないユーザシステムのASIC等で構成されたLSIから送信データDin1～Din16と共に入力される。また、この622MHzの入力クロック ϕin を4分周して、バッファメモリ11の各チャネルのシフトレジスタSFT1～SFT4の入力段FFiをラッチ動作させるのに必要な図3に示すような155MHzの書込みクロックWCLK1～WCLK

K 4 を生成する書込みクロック生成回路 1 2 と、バッファメモリ 1 1 に取り込まれた送信データを読み出すため各チャンネルのシフトレジスタ S F T 1 ~ S F T 4 の出力段 F F o を動作させる 1 5 5 M H z の読出しクロック R - C L K 1 ~ R - C L K 4 を生成する読出しクロック生成回路 1 3 が設けられている。

【 0 0 2 6 】

上記書込みクロック W - C L K 1 ~ W - C L K 4 がバッファメモリ 1 1 に供給されると、図 3 に示すように、書込みクロック W - C L K 1 の立ち下がりに同期してそれぞれシフトレジスタ S F T 1 の入力段 F F i に入力データのビット (D 1 , D 5 , D 9 ……) が順に取り込まれ、半周期遅れて読出しクロック R - C L K 1 の立ち下がりに同期してそれぞれシフトレジスタ S F T 1 の出力段 F F o にシフトされて読み出されて行く。また、書込みクロック W - C L K 2 の立ち下がりに同期してそれぞれシフトレジスタ S F T 2 の入力段 F F i に入力データのビット (D 2 , D 6 , D 1 0 ……) が順に取り込まれ、半周期遅れて読出しクロック R - C L K 2 の立ち下がりに同期してそれぞれシフトレジスタ S F T 2 の出力段 F F o にシフトされて読み出されて行く。シフトレジスタ S F T 3 , S F T 4 についても同様であり、シフトレジスタ S F T 3 は書込みクロック W - C L K 3 と読出しクロック R - C L K 3 により、またシフトレジスタ S F T 4 は書込みクロック W - C L K 4 と読出しクロック R - C L K 4 により動作される。

【 0 0 2 7 】

この実施例では、上記読出しクロック生成回路 1 3 における読出しクロック R - C L K 1 ~ R - C L K 4 の生成の基準となるクロック C L K を与えるために P L L 回路が設けられている。特に制限されるものでないが、この実施例においては、上記基準となるクロック C L K を生成する P L L 回路が、 1 5 5 M H z のクロックを生成する第 1 の P L L 回路 1 4 A と、該 P L L 回路 1 4 A で生成されたクロックに基づいて 1 0 G H z のクロック ϕ_x を生成する第 2 の P L L 回路 1 4 B とから構成されている。

【 0 0 2 8 】

また、第 1 の P L L 回路 1 4 A の前段にセレクタ 1 5 が設けられ、このセレクタ 1 5 により入力クロック ϕ_{in} と外部基準クロック ϕ_0 のいずれかを選択して

P L L 回路 1 4 A の位相比較器 P H C に供給するように構成されている。なお、この実施例で、セクタ S E L を介して P L L 回路 1 4 A に供給される入力側のクロックは上記入力クロック $\phi i n$ そのものでなく、入力クロック $\phi i n$ に基づいてデータ取込み用のクロック W - C L K 1 ~ W - C L K 4 を生成する上記書込みクロック生成回路 1 2 で生成されたクロック W - C L K 1 もしくはそれと同一周期の 1 5 5 M H z のクロックである。

【 0 0 2 9 】

上記セクタ 1 5 には、外部からのモード選択信号 M S が切換え制御信号として供給されており、このモード選択信号 M S がハイレベルのときセクタ 1 5 は外部基準クロック $\phi 0$ を第 1 P L L 回路 1 4 A の位相比較器 P H C a に供給し、モード選択信号 M S がロウレベルのときセクタ 1 5 は入力クロック $\phi i n$ を位相比較器 P H C に供給するように動作する。また、上記モード選択信号 M S は A N D ゲート G 1 に制御信号として入力されている。

【 0 0 3 0 】

さらに、この実施例では、上記書込みクロック生成回路 1 2 で生成されたデータ取込み用のクロック W - C L K と上記読出しクロック生成回路 1 3 で生成されたデータ読出し用のクロック R - C L K の位相を比較して、位相が 1 周期以上ずれているオーバーフローまたはアンダーフローを検出する検出回路 1 6 が設けられており、検出回路 1 6 がオーバーフローまたはアンダーフローを検出すると検出信号 U / P が外部へ出力される。外部の装置はこの検出信号を受けるとリセット信号 R S T を生成して送って来る。このリセット信号 R S T はオーバーフロー／アンダーフロー検出回路 1 6 に入力され、検出回路をリセットするとともに、リセット信号 R S T に派生して生成された内部リセット信号 R e s e t が A N D ゲート G 1 に供給される。なお、内部リセット信号 R e s e t は、オーバーフロー／アンダーフロー検出回路 1 6 で読出しクロック生成回路 1 3 で生成される読出しクロックに同期して変化される信号とされる。

【 0 0 3 1 】

A N D ゲート G 1 の他方の端子に入力されているモード選択信号 M S がロウレベルであると、上記内部リセット信号 R e s e t が A N D ゲート G 1 を介して書込み

クロック生成回路 1 2 に供給されて、書込みクロック $W-CLK1 \sim W-CLK4$ の生成を禁止し、FIFOバッファメモリ 1 1 へのデータの取込みが中断される。

【 0 0 3 2 】

上記第 1 の PLL 回路 1 4 A は、上記セクタ SEL を介して供給される入力側のクロック CLK と帰還クロック ϕf の位相を比較する位相比較器 PHC a と、外付けの容量素子からなるループフィルタ LPF a と、155MHz の近傍で発振する外付けの電圧制御発振器 VCXO とから構成されている。ループフィルタ LPF a と電圧制御発振器 VCXO が外付けの素子で構成されているのは、精度の高い発振信号を得るためである。

【 0 0 3 3 】

上記第 2 の PLL 回路 1 4 B は、第 1 の PLL 回路 1 4 A の電圧制御発振器 VCXO の発振信号と上記読出しクロック生成回路 1 3 から供給される読出しクロック R-CLK に同期したクロックの位相を比較する位相比較器 PHC b と、ループフィルタ LPF b と、10GHz の近傍で発振する電圧制御発振器 VCO b と、この発振信号を $1/16$ に分周する分周回路 DVD b とから構成されている。第 2 の PLL 回路 1 4 B を構成するループフィルタ LPF b と電圧制御発振器 VCO b は、外付け素子でなく半導体チップ上に他の回路素子と共に形成された素子により構成される。第 2 の PLL 回路は第 1 の PLL 回路の発振信号を受けて動作するので、ループフィルタ LPF b と電圧制御発振器 VCO b が外付け素子で構成されていなくても、周波数精度の高い発振信号を生成できるためである。

【 0 0 3 4 】

さらに、この実施例では、上記 FIFO バッファメモリ 1 1 の後段に、バッファメモリ 1 1 から読み出された 16 チャンネルの 622MHz のデータ信号を 10GHz のデータ信号に多重化するデマチプレクサ 1 7 が設けられ、多重化されたデータ信号は例えば電気信号を光信号に変換する光電変換モジュールへ供給され、光信号に変換されてから光ファイバを介して送信される。

【 0 0 3 5 】

図4には、上記書込みクロック生成回路12の具体例が示されている。なお、読出しクロック生成回路13も同様の構成を有するので、説明は省略する。図4に示されているように、書込みクロック生成回路12は入力クロック ϕ_{in} を1/4に分周する分周回路DVD0と、各々出力端子が次段の回路の入力端子に接続されたフリップフロップF/F1～F/F4からなるシフトレジスタとにより構成されており、フリップフロップF/F1～F/F4にはそれぞれ共通のリセット信号RSTが供給されるとともに入力クロック ϕ_{in} それ自身がラッチタイミング信号として各フリップフロップF/F1～F/F4のクロック端子に供給されている。そして、各フリップフロップF/F1～F/F4の出力信号が書込みクロックW-CLK1～W-CLK4として、前記4段構成のFIFOバッファメモリ11の各チャネルのシフトレジスタSFT1～SFT4の入力段FFiに供給されるように構成されている。

【0036】

従って、各書込みクロックW-CLK1～W-CLK4は、図3示すように、入力クロック ϕ_{in} の4倍の周期で互いに入力クロック ϕ_{in} の1周期分ずつ位相がずれた4種類のクロック信号となる。この書込みクロックW-CLK1～W-CLK4によってFIFOバッファメモリ11では、シフトレジスタSFT1～SFT4に入力データが順に取り込まれて行く。また、図5の期間T1のように、内部リセット信号Resetが無効状態（ハイレベル）にされると、各フリップフロップF/F1～F/F4は入力クロック ϕ_{in} が変化してもラッチ動作しなくなるため、書込みクロックW-CLK1～W-CLK4も変化せず、FIFOバッファメモリ11はデータの取込みを停止する。

【0037】

一方、内部リセット信号Resetが、図3の期間T2のように有効状態（ロウレベル）にされると、各フリップフロップF/F1～F/F4は入力クロック ϕ_{in} が変化する度にラッチ動作するため、書込みクロックW-CLK1～W-CLK4が生成され、これによってFIFOバッファメモリ11はデータの取込み動作を開始することとなる。しかも、このとき内部リセット信号Resetは、外部から供給されるリセット信号RSTがロウレベルに変化された後、読出し側の基準

クロック CLK を 4 分周したクロック $R-CLK$ の最初の立上がり同期して形成されるため、読出しクロックが書込みクロックと非同期であったとしても、内部リセット信号 $Reset$ がロウレベルに変化した後、入力クロック ϕ_{in} の 1 周期以内に分周器 $DVD0$ が分周を開始して書込みクロック $W-CLK1 \sim W-CLK4$ が生成されるようになる。

【 0 0 3 8 】

その結果、この実施例では、読出しクロック $R-CLK$ が不安定な入力クロック ϕ_{in} ではなく安定した外部基準クロック ϕ_0 に基づいて生成されたとしても、書込みクロック $W-CLK1 \sim W-CLK4$ は、その位相が、図 6 に示すように読出しクロック $R-CLK$ の位相と ϕ_{in} の 1 周期（データ 1 bit）内に収まるように制御されることとなる。従って、リセット解除直後は、仮に位相が最もずれた状態で PLL がロックしたとしても、バッファメモリ 11 に対する書込みデータは ϕ_{in} の 4 倍の周期を有する書込みクロックに同期しているため、図 6 のように、読出しクロックの相対的な変動範囲に対して前後に ϕ_{in} の 1.5 周期分ずつマージンがあることになるので、誤ったデータの読出しが回避される。

【 0 0 3 9 】

また、仮に動作途中で入力クロック ϕ_{in} すなわち書込みクロックの位相が、読出しクロックの位相とかなりずれてしまったとしても、半周期ずれると前記オーバーフロー／アンダーフロー検出回路 16 が位相のずれを検出して検出信号 U/P を出力し、外部装置がそれを受けてリセット信号 RST を入力し直してくることにより、書込みクロック生成回路 12 が書込みクロックの生成を一旦停止した後、再開することで位相のずれが修正されることとなる。その結果、読出しクロック $R-CLK$ を不安定な入力クロック ϕ_{in} ではなく安定した外部基準クロック ϕ_0 に基づいて生成するモードにおいても、誤ったデータの受渡しが回避される。

【 0 0 4 0 】

図 7 には、上記実施例のデータ送信回路を適用した光通信用 LSI （トランシーバ・チップ）の概略構成例を示す。

【 0 0 4 1 】

図 7 の ト ラ ン シ ー バ ・ チ ッ プ 1 0 0 は、 上 記 実 施 例 の デ ー タ 送 信 回 路 か ら な る 送 信 部 1 1 0 と、 デ ー タ を 受 信 す る 受 信 部 1 2 0 と を 備 え て い る。 図 7 に お い て は、 回 路 構 成 を 簡 略 化 し て 示 し て お り、 送 信 用 P L L 回 路 1 1 1 は 図 2 に お け る P L L 回 路 1 4 A、 1 4 B に、 F i F O 1 1 2 は 図 2 に お け る バ ッ フ ァ メ モ リ 1 1 に そ れ ぞ れ 相 当 し、 書 込 み ク ロ ッ ク 生 成 回 路 1 2 等 他 の 回 路 は 図 示 が 省 略 さ れ て い る。 一 方、 受 信 部 1 2 0 は 受 信 し た シ リ ア ル デ ー タ 信 号 の 波 形 を 成 形 す る と と も に 受 信 デ ー タ 信 号 の 変 化 を 捉 え て ク ロ ッ ク を 生 成 す る 回 路 (C D R) 1 2 1 や、 多 重 化 さ れ て い る 1 6 チ ャ ネ ル の 受 信 デ ー タ を 各 チ ャ ネ ル 毎 の デ ー タ 信 号 に 分 離 す る デ マ ル チ プ レ ク サ 1 2 2 な ど か ら 構 成 さ れ て い る。 上 記 C D R 回 路 1 2 1 に は 受 信 デ ー タ か ら 抽 出 さ れ た ク ロ ッ ク を 基 準 ク ロ ッ ク と し て 安 定 し た 周 波 数 の ク ロ ッ ク を 生 成 し て 上 記 デ マ ル チ プ レ ク サ 1 2 2 に 供 給 す る 送 信 用 P L L 回 路 が 設 け ら れ る。

【 0 0 4 2 】

上 記 送 信 部 1 1 0 の マ ル チ プ レ ク サ 1 7 の 出 力 端 子 に は、 レ ー ザ ー ダ イ オ ー ド 3 1 0 を 駆 動 す る L D ド ラ イ バ チ ッ プ 2 1 0 が 接 続 さ れ、 レ ー ザ ー ダ イ オ ー ド 3 1 0 が 電 気 信 号 で あ る 送 信 デ ー タ 信 号 を 光 信 号 に 変 換 し て 光 フ ァ イ バ 4 0 0 へ 出 力 す る。 ま た、 受 信 部 1 2 0 の C D R 回 路 1 2 1 の 入 力 端 子 に は プ リ ア ン プ 2 2 0 が 接 続 さ れ て お り、 こ の プ リ ア ン プ 2 2 0 は、 光 フ ァ イ バ 4 0 0 か ら 受 信 し た 光 信 号 を 電 気 信 号 に 変 換 す る ホ ト ダ イ オ ー ド 3 2 0 で 変 換 さ れ た 電 気 信 号 を 増 幅 し て C D R 回 路 1 2 1 の 入 力 端 子 に 供 給 す る よ う に 構 成 さ れ て い る。

【 0 0 4 3 】

以 上 本 発 明 者 に よ っ て な さ れ た 発 明 を 実 施 例 に 基 づ き 具 体 的 に 説 明 し た が、 本 発 明 は そ れ に 限 定 さ れ る も の で な く、 例 え ば 前 記 実 施 例 で は、 書 込 み 用 ク ロ ッ ク 生 成 回 路 が、 P L L 回 路 が 安 定 し た 外 部 ク ロ ッ ク に 基 づ い て 動 作 し て い る と き に リ セ ャ ッ ト 信 号 が 入 力 さ れ た 場 合 に は 読 出 し ク ロ ッ ク 生 成 回 路 で 生 成 さ れ た ク ロ ッ ク に 基 づ い て 書 込 み 用 ク ロ ッ ク の 生 成 を 開 始 す る よ う に 構 成 さ れ て い る が、 読 出 し ク ロ ッ ク 生 成 回 路 で 生 成 さ れ た ク ロ ッ ク の 代 わ り に 分 周 回 路 D V D b か ら 供 給 さ れ る ク ロ ッ ク に 基 づ い て 書 込 み 用 ク ロ ッ ク の 生 成 を 開 始 す る よ う に 構 成 と す る

ことも可能である。

【 0 0 4 4 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である P L L 回路からなるクロック生成回路を備えた通信用 L S I に適用した場合について説明したが、本発明は P L L 回路を内蔵する半導体集積回路一般に利用することができる。

【 0 0 4 5 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【 0 0 4 6 】

すなわち、本発明に従うと、入力クロックに基づいて入力データを取り込んで出力するバッファを有する通信用半導体集積回路において、入力クロックの位相が安定していない場合においても正確なデータの受渡しを可能するクロックを生成可能なクロック生成回路を実現することができる。また、入力クロックと基準となるクロックのいずれのクロックにも対応可能なクロック生成回路を実現することができる。

【図面の簡単な説明】

【図 1】

本発明に係る P L L 回路からなるクロック生成回路の概略構成を示すブロック図である。

【図 2】

本発明に係る P L L 回路からなるクロック生成回路を光通信用 L S I のデータ送信回路に適用した場合の具体的な実施例を示す回路構成図である。

【図 3】

図 2 のデータ送信回路を構成する F I F O バッファの動作タイミングを示すタイミングチャートである。

【図 4】

図 2 のデータ送信回路を構成する書込みクロック生成回路の構成例を示す論理

構成図である。

【図 5】

図 2 のデータ送信回路のリセット解除時の動作タイミングを示すタイミングチャートである。

【図 6】

図 2 のデータ送信回路を構成する F I F O バッファの書込みクロックと読出しクロックおよび入力データとの関係を示すタイミングチャートである。

【図 7】

本発明のデータ送信回路を備えた通信用 L S I の一例としてのトランシーバ・チップを利用した通信システムの概略構成を示すブロック図である。

【図 8】

従来の P L L 回路からなるクロック生成回路の一例を示す回路構成図である。

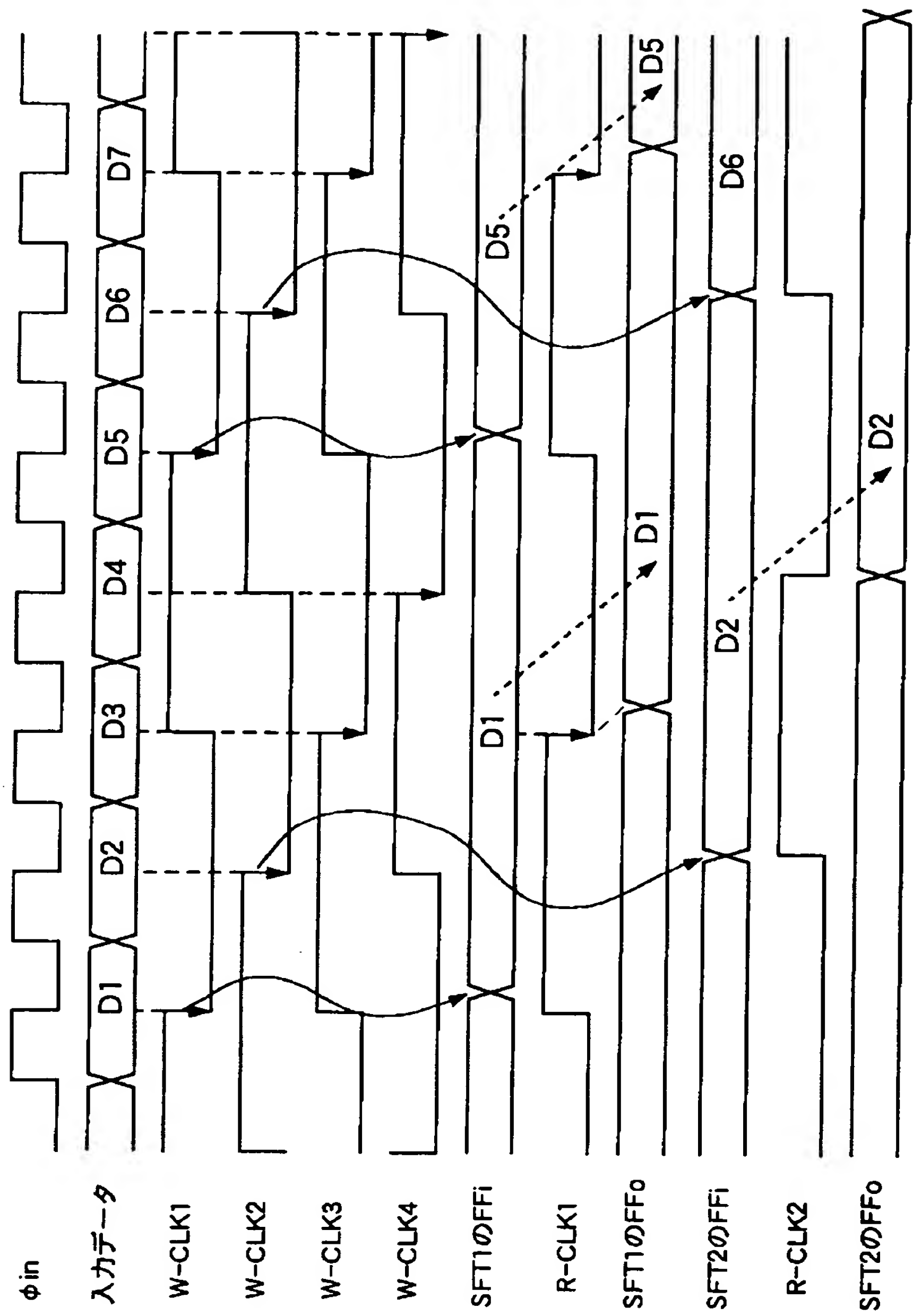
【図 9】

本発明に先立って検討した P L L 回路からなるクロック生成回路を示す回路構成図である。

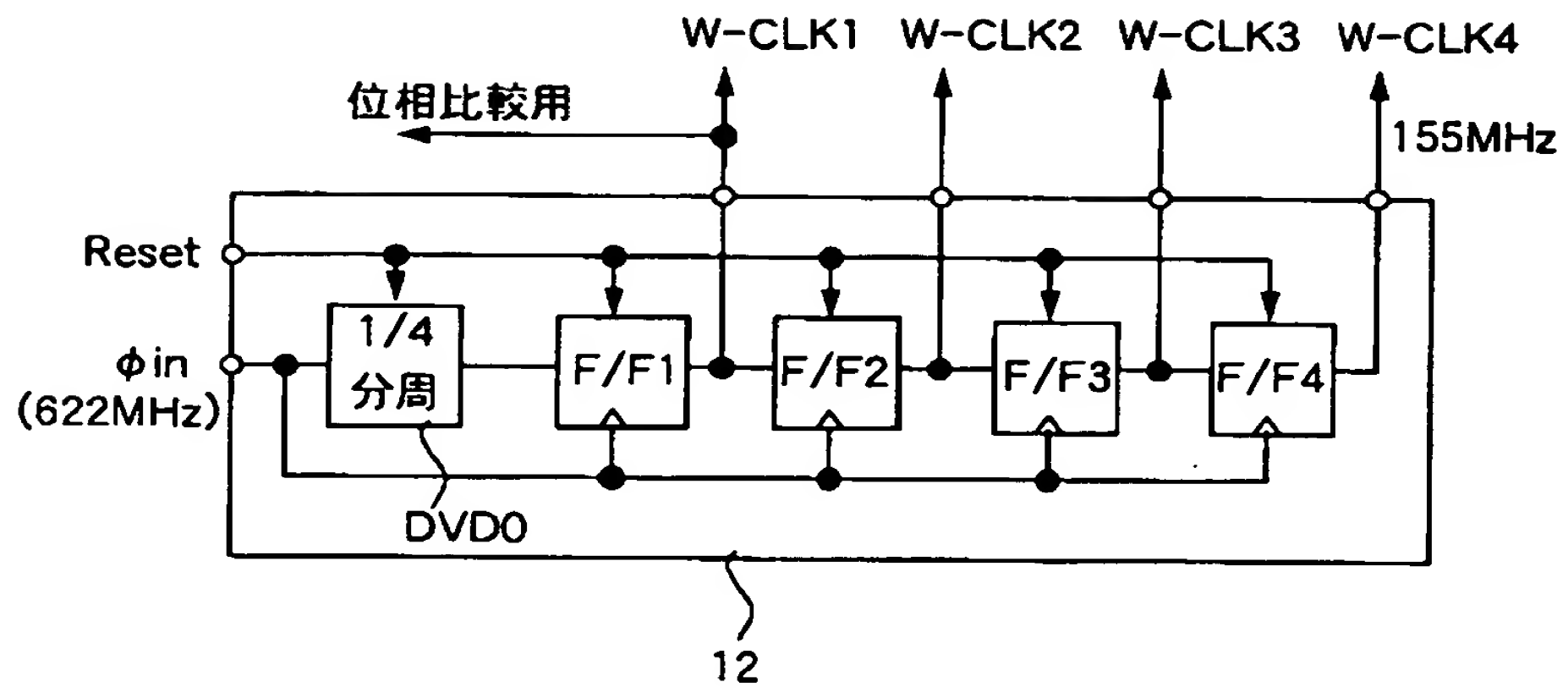
【符号の説明】

- 1 1 F I F O バッファメモリ
- 1 2 書込みクロック生成回路
- 1 3 読出しクロック生成回路
- 1 4 A, 1 4 B P L L 回路
- 1 5 セレクタ
- 1 6 オーバーフロー／アンダーフロー検出回路
- F P C 位相比較器
- L P F ループフィルタ
- V C O 電圧制御発振器
- D V D 分周器
- ϕ in 入力クロック
- ϕ 0 基準クロック

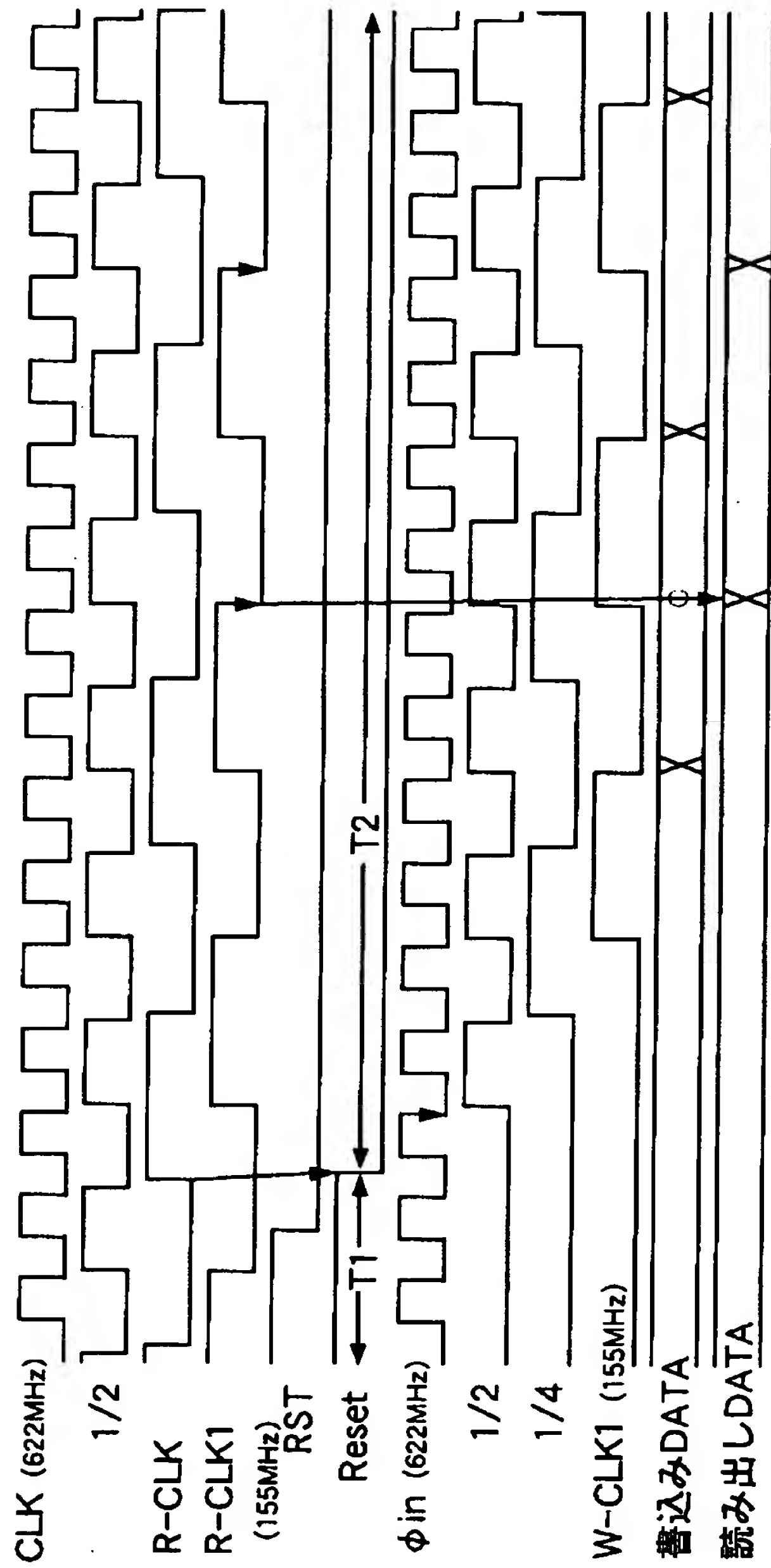
【図 3】



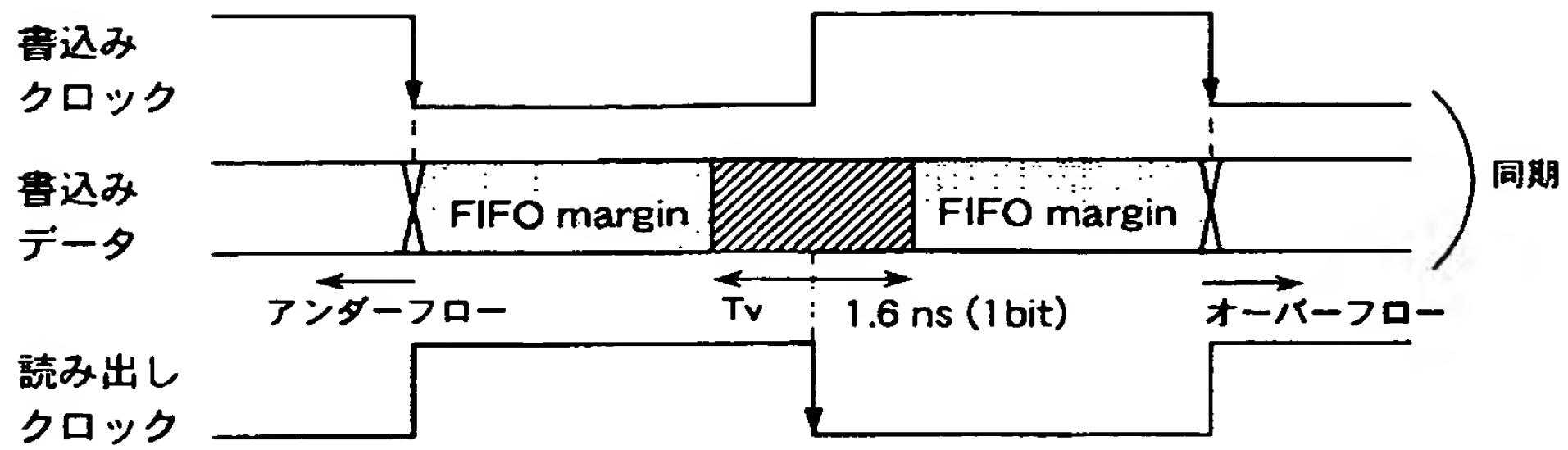
【図 4】



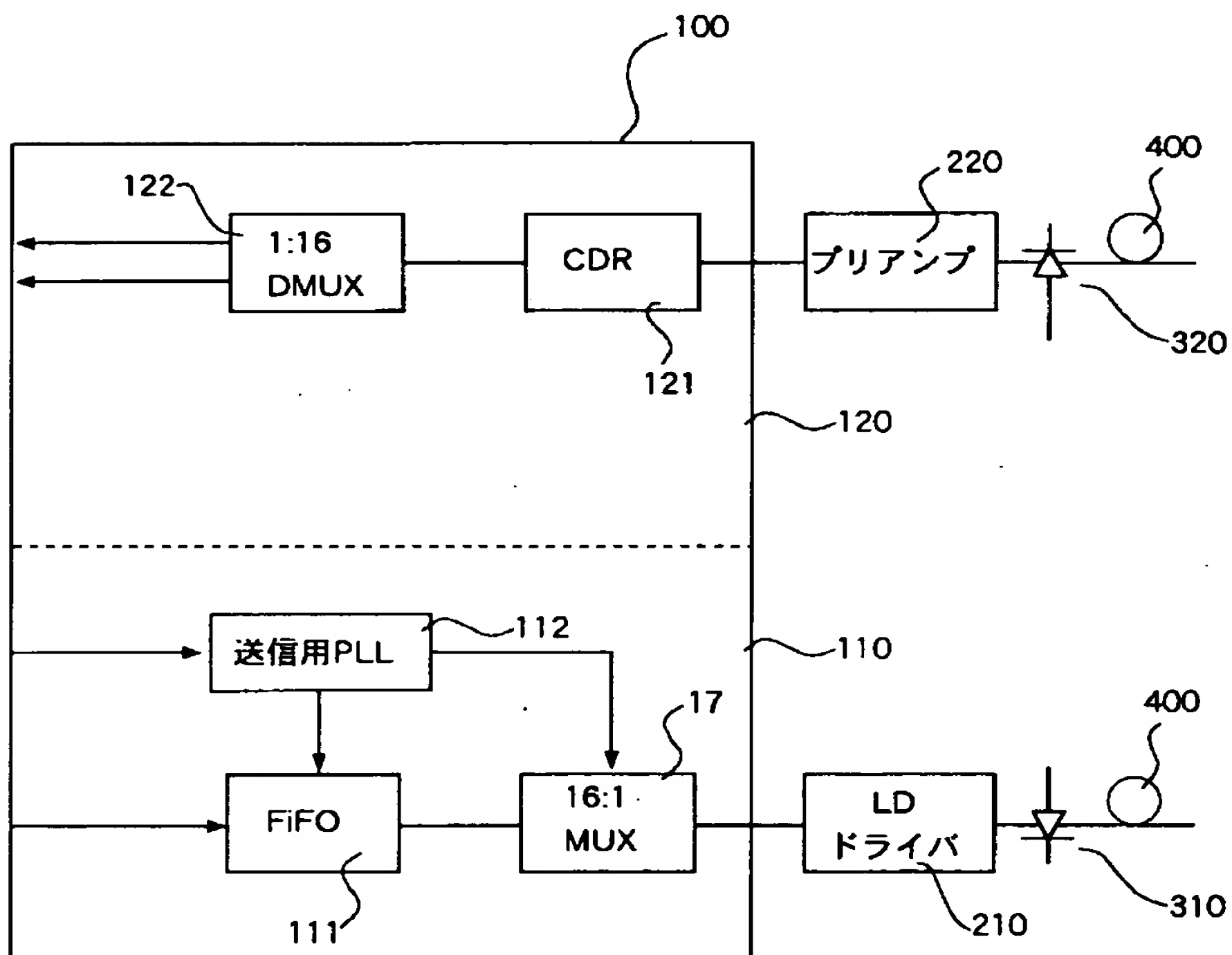
【図 5】



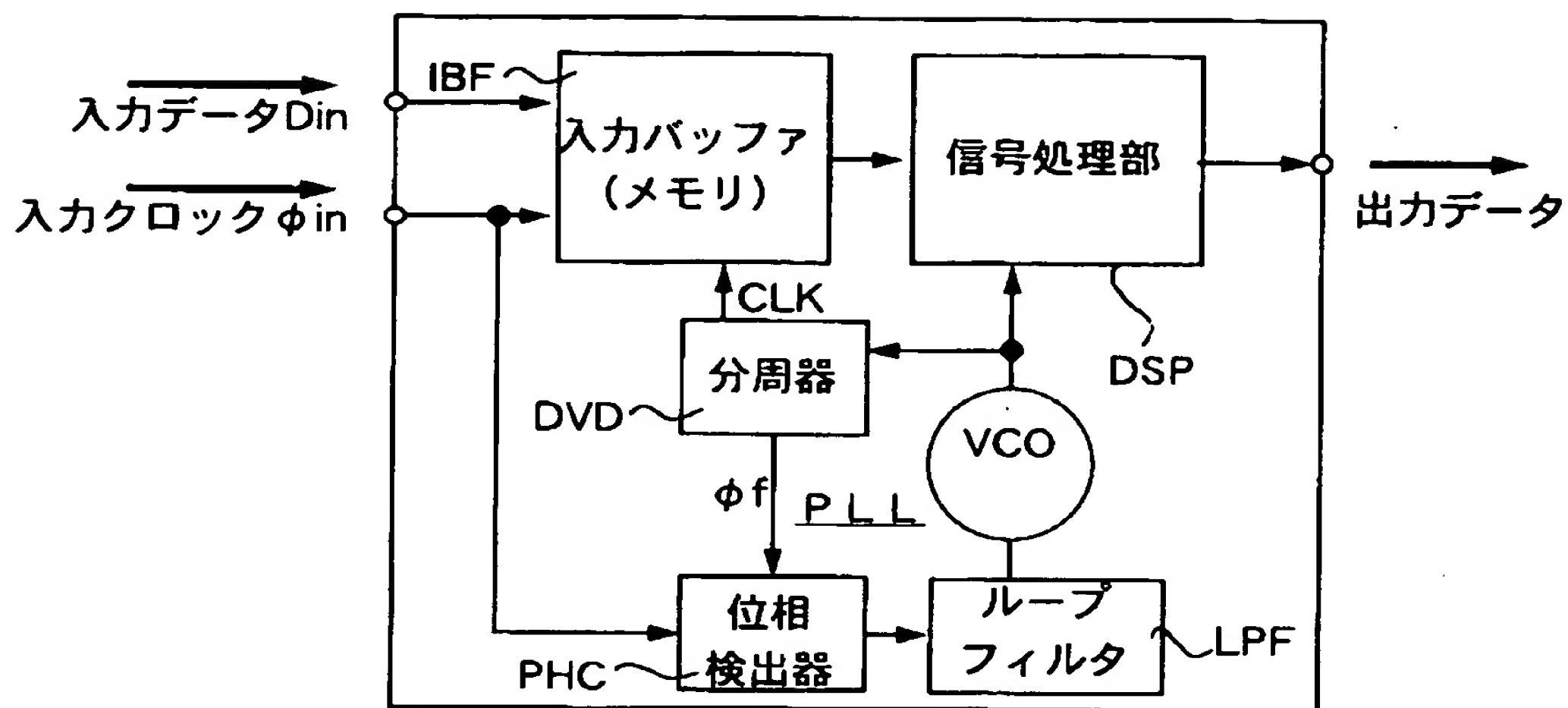
【図 6】



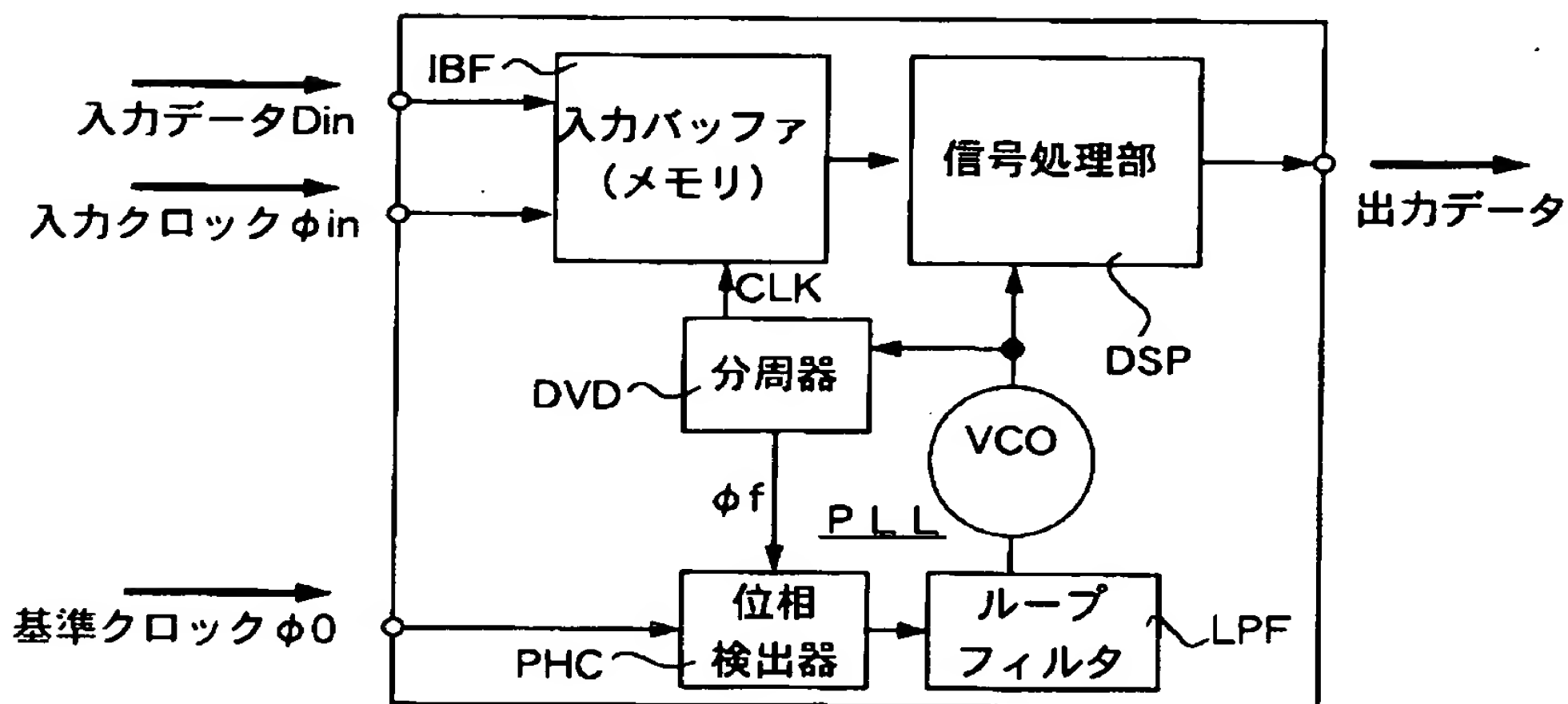
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 入力クロックに基づいて入力データを取り込んで出力するバッファを有する通信用半導体集積回路において、入力クロックの位相が安定していない場合においても正確なデータの受渡しを可能にするクロックを生成可能なクロック生成回路を提供する。

【解決手段】 入力クロック (ϕ_{in}) に基づいて入力データ (D_{in}) を取り込むバッファ (11) を有する通信用半導体集積回路において、入力クロックまたは位相の安定した外部クロック (ϕ_0) のいずれかを基準クロックとして動作する PLL 回路 (14A, 14B) と、該 PLL 回路の発振出力を分周してデータ読出し用クロックを生成する読出しクロック生成回路 (13) と、外部からの制御信号に基づいて上記入力クロックまたは外部クロックのいずれかを選択して基準クロックとして上記 PLL 回路に供給するクロック切換え手段 (15) とを設けるようにした。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 1 6 0 9 1 7
受付番号	5 0 0 0 0 6 7 0 1 0 7
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 2 年 6 月 1 4 日

< 認定情報・付加情報 >

【提出日】 平成12年 5月30日

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台 4 丁目 6 番地

氏 名 株式会社日立製作所